

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ УДМУРТСКОЙ РЕСПУБЛИКИ

**Автономное профессиональное образовательное учреждение Удмуртской
Республики «Техникум радиоэлектроники и информационных технологий
им. А.В. Воскресенского»**

**Лабораторные работы
по дисциплине «Импульсная техника»**

Разработал преподаватель:

В.Н. Сяктерев

Ижевск, 2024

Лабораторная работа № 2 «Базовый элемент ТТЛ. Выполнение логических функций»

1. Цель работы

Изучение принципа работы стандартного элемента транзисторно-транзисторной логики, выполнения базовых логических функций на основе элемента транзисторно-транзисторной логики.

2. Задание

В соответствии с порядком выполнения работы определить типы выполняемых логических функций и уровни напряжений логических переменных для элемента транзисторно-транзисторной логики.

3. Теоретические сведения

На начальном этапе развития цифровой электроники было разработано большое число схемотехнических решений базовых логических элементов, выполняющих простейшие логические функции. Это были элементы резисторно-транзисторной логики (РТЛ), резисторно-конденсаторной транзисторной логики (РКТЛ), транзисторная логика с непосредственными связями (НСТЛ), диодно-транзисторная логика (ДТЛ) и так далее. Однако широкое практическое применение получили только некоторые из них, которые наилучшим образом сочетают ряд важных характеристик. Одними из самых распространенных в настоящее время являются интегральные схемы, реализующие транзисторно-транзисторную логику (ТТЛ) и ее разновидности, так как для элементов ТТЛ характерна высокая помехоустойчивость, хорошая нагрузочная способность и достаточно высокое быстродействие. Элементы ТТЛ являются, по существу, интегральным развитием схем ДТЛ. Рассмотрим сначала особенности и принцип работы базового элемента ДТЛ.

3.1. Базовый элемент ДТЛ

В ЭВМ первого поколения широко использовались логические схемы со входными ламповыми диодами. В следующих поколениях ЭВМ с появлением полупроводниковых приборов появились диодно-транзисторные логические схемы, использующие на входе полупроводниковые диоды для выполнения логических функций. На рисунке 6 показана схема элемента ДТЛ с простым инвертором.

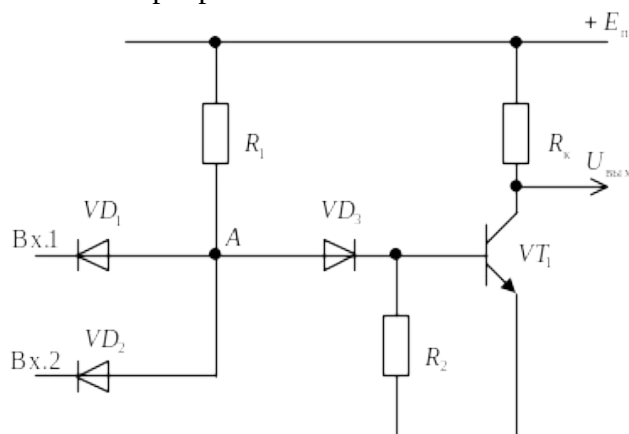


Рисунок 6 - Элемент ДТЛ с простым инвертором

В данном элементе диоды VD_1 , VD_2 и резистор R_1 выполняют логическую функцию конъюнкции, элементы R_2 , R_k и транзистор VT_1 образуют транзисторный

ключ, который выполняет логическую функцию инверсии и формирования уровней выходного сигнала, соответствующих логическому нулю и единице. Диод $VD3$ называют диодом смещения и он предназначен для повышения помехоустойчивости схемы.

Рассмотрим принцип работы элемента при выполнении логической функции, предполагая, что сигналы на входы данной схемы подаются с выхода такой же схемы. Это позволяет соблюсти принцип совместимости уровней логических переменных и определить уровни напряжений, соответствующих нулю и единице.

Уровень единицы в положительной логике формируется на выходе схемы, когда транзистор $VT1$ находится в режиме отсечки, поэтому выходное напряжение схемы, соответствующее уровню единицы, можно определить по следующей формуле:

$$U^1 = E_n - I_{к0} R_k \approx E_n, \quad (1)$$

где E_n – напряжение питания схемы, $I_{к0}$ – обратный ток коллекторного перехода, R_k – резистор коллекторной нагрузки.

Выходное напряжение, соответствующее уровню единицы, примерно равно напряжению питания, потому что значение обратного тока $I_{к0}$ мало.

Уровень выходного напряжения схемы, соответствующий логическому нулю, формируется на выходе схемы, когда транзистор $VT1$ находится в режиме насыщения. В этом случае выходное напряжение нуля равно

$$U^0 = U_{кэн}, \quad (2)$$

где $U_{кэн}$ – напряжение между коллектором и эмиттером транзистора, когда его переходы база-эмиттер и база-коллектор смещены в прямом направлении.

Как правило, это напряжение не превышает величину 0,1...0,2 В.

Пусть на Вх.1 схемы подано напряжение логического нуля. Тогда диод $VD1$ откроется, напряжение в т. А схемы определится следующим образом:

$$U_A = U^0 + U_{д.от}(VD1) \leq 1(B), \quad (3)$$

где $U_{д.от}(VD1)$ – падение напряжения на прямо смещенном диоде $VD1$ и примерно равно 0,7 В.

Этого напряжения в т. А схемы оказывается недостаточным для открывания транзистора $VT1$, так как для этого необходимо напряжение, которое можно определить следующим образом:

$$U_A = U_{бэ.от}(VT1) + U_{д.от}(VD3), \quad (4)$$

где $U_{бэ.от}(VT1)$ – падение напряжения на прямо смещенном переходе база-эмиттер транзистора $VT1$ и примерно равно 0,7 В.

Таким образом, для открывания транзистора $VT1$ напряжение в т. А схемы должно быть не менее 1,4 В, этому способствует включение диода $VD3$, что и повышает помехоустойчивость схемы. Иногда для большей помехоустойчивости последовательно с диодом $VD3$ включают еще один диод.

В результате подачи уровня нуля на Вх.1 схемы транзистор VT_1 остается закрытым, то есть в режиме отсечки и на выходе схемы формируется выходной уровень напряжения логической единицы, примерно равный E_n . Отметим, что от входа логического элемента ДТЛ в это время стекает на общий провод схемы ток низкого уровня, определяемый по формуле

$$I_{\text{вх}}^0 = \frac{E_n - U_{\text{д.от}}(VD1) - U^0}{R_1} \quad (5)$$

Такая же ситуация остается в схеме, если уровень напряжения логического нуля подать на Вх.2 схемы или на оба входа одновременно. Во всех этих случаях на выходе логического элемента будет высокий уровень логической единицы.

Подадим на оба входа схемы одновременно уровни напряжений, соответствующие логической единице. В этом случае оба диода $VD1$ и $VD2$ окажутся под обратным смещением и током, протекающим через резистор R_1 , определяемым выражением

$$I_{R_1} = \frac{E_n - U_A}{R_1} = \frac{E_n - U_{\text{д.от}}(VD3) - U_{\text{бэ.от}}(VT_1)}{R_1}, \quad (6)$$

транзистор VT_1 откроется и входит в режим насыщения. На выходе логического элемента сформируется низкий уровень логического нуля. Таким образом, рассмотренная схема элемента ДТЛ выполняют логическую функцию И-НЕ.

После перехода к выпуску интегральных микросхем довольно быстро выяснилось, что для улучшения параметров цифровых микросхем выгоднее заменить диоды $VD1 \dots VD3$ многоэмиттерным транзистором. Поэтому название ДТЛ трансформировалось в ТТЛ, то есть транзисторно-транзисторная логика.

3.2. Базовый элемент ТТЛ с простым инвертором

Элемент ТТЛ, схема которого приведена на рисунке 7, на дискретных радиокомпонентах не строился, так как многоэмиттерный транзистор разработали лишь на этапе интегральной схемотехники.

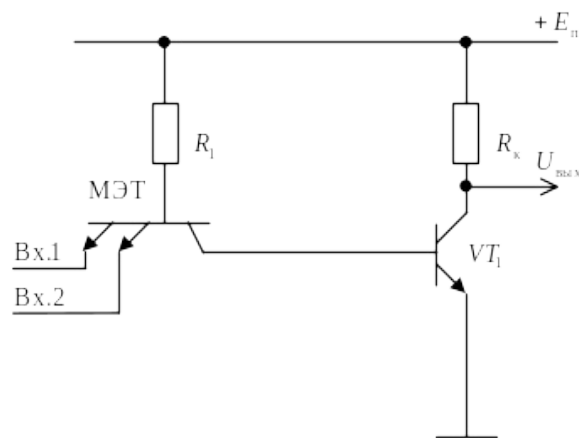


Рисунок 7 - Элемент ТТЛ с простым инвертором

В данном элементе три р-п-перехода многоэмиттерного транзистора (МЭТ) являются аналогами диодов $VD1 \dots VD3$ элемента ДТЛ (рисунок 6). Назначение остальных элементов схемы также соответствует элементу ДТЛ.

Рассмотрим принцип работы данной схемы при выполнении логической функции, считая, что уровни напряжений логических переменных соответствуют предыдущей схеме.

Если хотя бы на один вход схемы подан низкий уровень нуля ($U^0 = U_{кэн}$), то соответствующий переход база-эмиттер МЭТ будет смещен в прямом направлении. Параметры схемы подбирают таким образом, что МЭТ будет в режиме насыщения по этому входу. Напряжение на базе транзистора $VT1$ можно определить по следующей формуле

$$U_{б}(VT1) = U^0 + U_{кэн}(МЭТ) \quad (7)$$

Учитывая, что $U^0 = U_{кэн}$ и это не более 0,2 В, получаем, что напряжение на базе транзистора $VT1$ будет не более 0,4 В. Это меньше порогового напряжения открывания транзистора $VT1$, примерно равного 0,5 В. Транзистор $VT1$ будет закрыт, в режиме отсечки, поэтому на выходе элемента будет сформирован высокий уровень логической единицы.

Такая же ситуация останется в схеме, если уровень нуля будет подан на противоположный вход схемы или на оба входа одновременно.

Подадим на оба входа элемента высокий уровень напряжения, соответствующий логической единице. В этом случае оба перехода база-эмиттер МЭТ окажутся смещены в обратном направлении. За счет напряжения питания откроется переход база-коллектор МЭТ, в результате он войдет в инверсный режим работы и током через резистор $R1$, определяемым выражением

$$I_{R1} = \frac{E_n - U_{бк.от}(МЭТ) - U_{бэ.от}(VT1)}{R1} \quad (8)$$

откроется и войдет в насыщение транзистор $VT1$.

На выходе элемента установится низкий уровень нуля. Как видно, при подаче хотя бы на один вход элемента логического уровня нуля, на выходе элемента устанавливается высокий уровень единицы. При наличии высоких уровней на обоих входах одновременно на выходе элемента формируется низкий уровень нуля. Таким образом, данный элемент также выполняет логическую функцию И-НЕ. Из принципа работы элемента ТТЛ следует, что МЭТ находится либо в режиме насыщения, либо в инверсном режиме, при этом переход база-коллектор постоянно открыт. Цепь базы транзистора $VT1$, в отличие от элемента ДТЛ, не разрывается, поэтому необходимость в установке резистора $R2$ (рисунок 6) отсутствует. Отсутствие цепи смещения транзистора $VT1$ является достоинством схемы ТТЛ.

Рассмотренные схемы элементов ДТЛ и ТТЛ с простым инвертором имеют общие недостатки, связанные с плохой работой простого инвертора на емкостную нагрузку и с его низкой нагрузочной способностью. Для исключения этих недостатков разработаны элементы со сложным инвертором.

3.3. Элемент ТТЛ со сложным инвертором

Схема элемента ТТЛ со сложным инвертором приведена на рисунке 8.

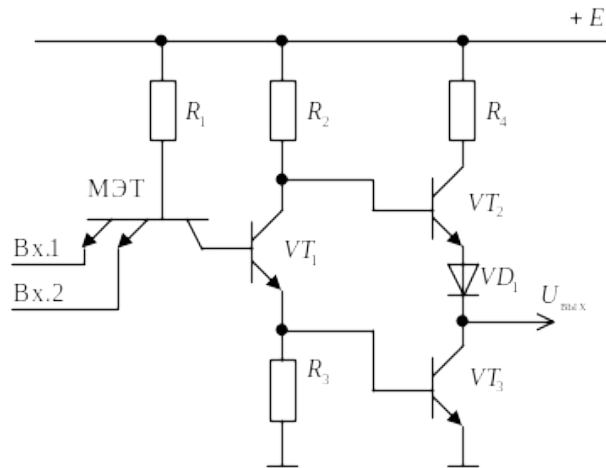


Рисунок 8 - Элемент ТТЛ со сложным инвертором

Как и в предыдущей схеме МЭТ и R_1 реализуют логическую функцию конъюнкции, а все остальные элементы схемы образуют так называемый сложный инвертор. При этом транзистор VT_1 с резисторами R_2 и R_3 образуют фазоинверсный каскад, то есть, если напряжение на коллекторе VT_1 уменьшается, то на его эмиттере возрастает и наоборот. Резистор R_4 ограничивает сквозной ток, возникающий при переключении транзисторов VT_2 и VT_3 , которые образуют двухтактный выходной усилитель мощности. Диод VD_1 обеспечивает надежное закрытое состояние транзистора VT_2 , когда на выходе элемента формируется низкий уровень нуля.

Рассмотрим принцип работы элемента при выполнении логической функции. Подадим на Вх.1 схемы напряжение, соответствующее уровню логического нуля $U_{вх} = U^0 = U_{кэн}$. Многоэмиттерный транзистор по этому входу будет насыщен, напряжение на базе транзистора, определяемое как и для предыдущей схемы по формуле (7), будет не более 0,4 В и транзистор VT_1 будет закрыт. Ток эмиттера транзистора VT_1 близок к нулю и поэтому падение напряжения на резисторе R_3 равно нулю, транзистор VT_3 не будет иметь смещения и будет закрыт. Напряжение на коллекторе закрытого транзистора VT_1 примерно равно E_n , поэтому этим напряжением транзистор VT_2 и диод VD_1 будут открыты. На выходе элемента получаем высокий уровень логической единицы, определяемый по формуле

$$U_{\text{вых}} = U^1 = U_{\beta}(VT_2) - U_{\beta,от}(VT_2) - U_{\delta,от}(VD_1) \approx U_{\beta} - U_{\beta,от}(VT_2) - U_{\delta,от}(VD_1) \quad (9)$$

При напряжении питания элементов ТТЛ равным +5 В, уровень логической единицы будет составлять примерно 3,6 В.

Такая же ситуация останется в схеме, если логический нуль будет подан на противоположный вход схемы или на оба входа одновременно.

Предположим теперь, что на оба входа логического элемента подан высокий уровень напряжения, соответствующий логической единице. В этом случае оба эмиттерных перехода МЭТ оказываются смещенными в обратном направлении (закрыты). При этом коллекторный переход смещается в прямом направлении и МЭТ входит в инверсный режим работы. Током через резистор R_1 откроется и войдет в насыщение

транзистор $VT1$. Под действием его тока эмиттера появится падение напряжения на резисторе $R3$ и если оно будет больше порогового напряжения открывания транзистора $VT3$, транзистор $VT3$ откроется и войдет в насыщение. На выходе элемента сформируется низкий уровень напряжения, соответствующий логическому нулю, равный $U_{кэн}(VT3) \leq 0,2B$. Так как в этом случае транзистор $VT1$ насыщен, присутствующее на его коллекторе напряжение оказывается недостаточным для прямого смещения двух последовательно включенных р-п-переходов (эмиттерный переход $VT2$ и диод $VD1$). Поэтому транзистор $VT2$ будет надежно закрыт, что повышает помехоустойчивость схемы. Таким образом, если на всех входах схемы присутствует высокий уровень единицы, на выходе элемента ТТЛ со сложным инвертором будет напряжение нулевого уровня, соответствующее логическому нулю. Согласно полученным состояниям схема также выполняет логическую функцию И-НЕ.

Учитывая широкое распространение схем со сложным инвертором, можно отметить их достоинства:

1. Повышенная помехоустойчивость за счет падения напряжения на переходе база-эмиттер транзистора $VT1$.
2. Повышенная нагрузочная способность, полученная за счет усиления по току каскада, собранного на транзисторе $VT2$.
3. Малая потребляемая мощность в статическом режиме работы схемы.
4. Хорошая работа на большую емкостную нагрузку.

Кроме рассмотренного стандартного элемента ТТЛ существуют достаточно большое число его модификаций, разработки которых направлены на повышение быстродействия, помехоустойчивости и расширения функциональных возможностей для работы в магистрально-модульных системах вычислительной техники.

4. Порядок выполнения работы

1. Исследование выполнения логической функции базовым элементом ТТЛ и определение уровней напряжений, соответствующих логическим переменным

Для выполнения данного пункта работы необходимо выбрать один из логических элементов микросхемы и снять его таблицу истинности для всех четырех комбинаций входных сигналов. Уровни напряжений, соответствующие логическому нулю и единице, с помощью перемычек подавать с гнезд «0» и «1». Измерение уровней выходного напряжения элемента производить цифровым вольтметром, для чего соединить выход выбранного элемента с гнездом макета «Выход 1». Данные занести в таблицу и определить выполненную логическую функцию.

2. Определение выполняемых логических функций для схем на основе базового элемента ТТЛ

С помощью макета с использованием гнезд размножения реализовать логические устройства, схемы которых приведены на рисунке 9. Для приведенных логических устройств снять таблицы истинности и определить выполненную логическую функцию. Правильность полученных результатов доказать с использованием правил и законов алгебры логики. Объяснить полученные результаты.

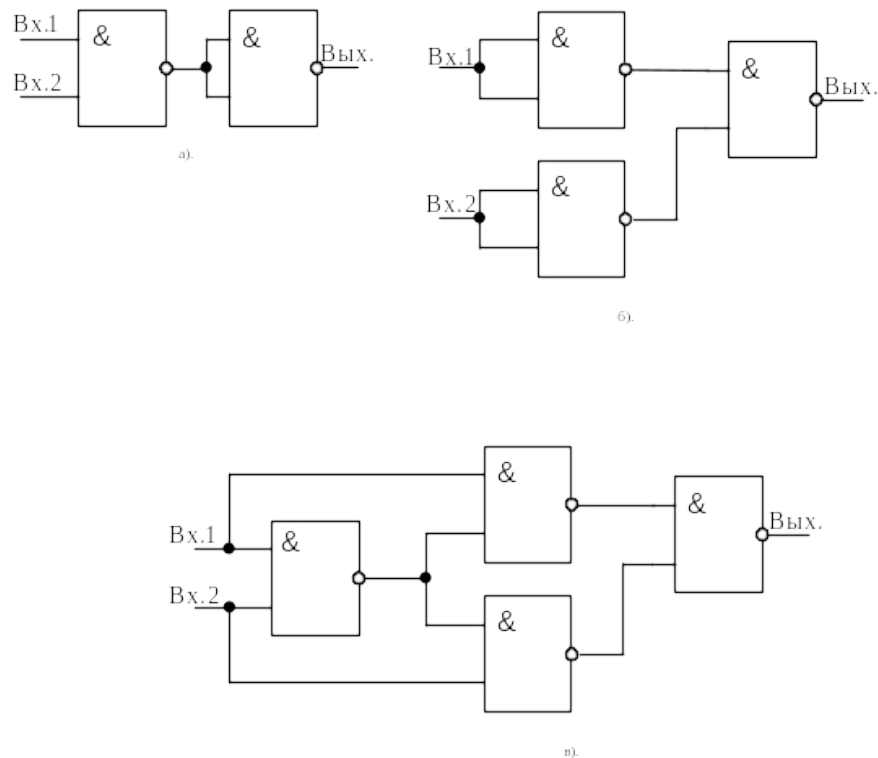


Рисунок 9 - Схемы исследуемых устройств

3. Повторить исследования предыдущих схем на элементах или-не

5. Содержание отчета

1. Функциональная схема исследуемых устройств.
2. Экспериментальные результаты исследования устройств.
3. Выводы по каждому пункту задания.

6. Контрольные вопросы

1. Назначение элементов и принцип работы элемента ДТЛ с простым инвертором.
2. Назначение элементов и принцип работы элемента ТТЛ с простым инвертором.
3. Назначение элементов и принцип работы элемента ТТЛ со сложным инвертором.
4. Достоинства и недостатки схемы ТТЛ с простым и сложным инвертором.

Лабораторная работа №3

«Статические характеристики элемента транзисторно-транзисторной логики»

1. Цель работы

Изучение методики экспериментального определения статических характеристик базового элемента транзисторно-транзисторной логики.

2. Задание

В соответствии с порядком выполнения работы определить статические характеристики базового элемента транзисторно-транзисторной логики.

3. Теоретические сведения

Функциональная сложность современных цифровых устройств, являющихся основой аппаратных средств вычислительной техники, множество различных сочетаний входных сигналов и нагрузок не позволяют рассчитывать на индивидуальную настройку и регулировку каждого элементарного электронного устройства, к которым можно отнести базовые логические элементы различных серий цифровых интегральных схем. Поэтому

для надежной работы реальных цифровых устройств вычислительной техники необходимо, чтобы все входящие в их состав элементарные блоки обладали рядом фундаментальных свойств, к основным из которых относятся:

- совместимость уровней входных и выходных сигналов;
- нагрузочная способность;
- формирующее свойство;
- помехоустойчивость.

Для обеспечения перечисленных свойств базовые логические элементы должны иметь определенные статические характеристики, экспериментально определению которых для схемы элемента транзисторно-транзисторной логики (ТТЛ) посвящена настоящая работа.

3.1. Амплитудная передаточная характеристика элемента ТТЛ со сложным инвертором

Схема элемента ТТЛ со сложным инвертором приведена на рисунке 10.

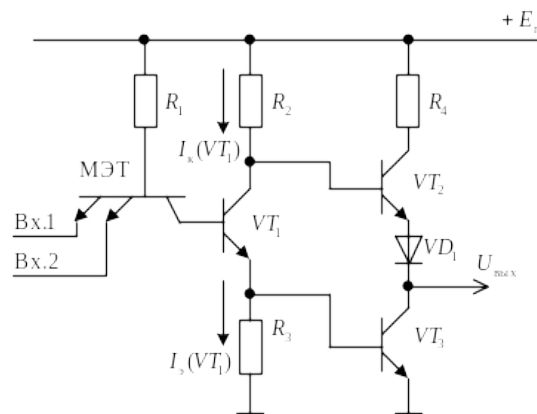


Рисунок 10 - Схема элемента ТТЛ со сложным инвертором

Амплитудная передаточная характеристика (АПХ) представляет собой зависимость выходного напряжения схемы от входного, то есть $U_{\text{вых}} = f(U_{\text{вх}})$. Для рассматриваемого элемента ТТЛ эта характеристика приведена на рисунке 11.

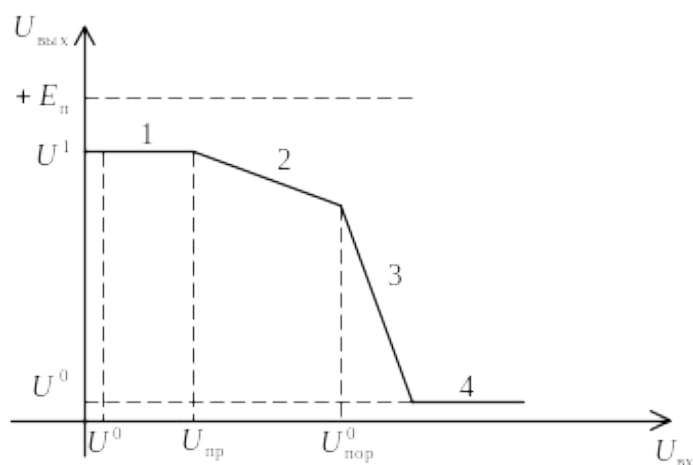


Рисунок 11 - Амплитудная передаточная характеристика элемента ТТЛ со сложным инвертором

При подаче низкого уровня U^0 , соответствующего логическому нулю в положительной логике, хотя бы на один из входов элемента, соответствующий переход база-эмиттер многоэмиттерного транзистора (МЭТ) будет открыт. Параметры схемы подбирают таким образом, что МЭТ по этому входу будет насыщен. На противоположный вход элемента подадим высокий уровень U^1 . Так как напряжение на базе МЭТ в данном случае определяется следующим образом

$$U_{\delta}(\text{МЭТ}) = U^0 + U_{\text{бэ.от}}(\text{МЭТ}) \approx 0,2 + 0,7 \approx 0,9 \text{ В}, \quad (1)$$

и меньше уровня логической единицы $U^1 \approx 3,6 \text{ В}$, то переход МЭТ, на который подан уровень U^1 , будет закрыт.

Для получения АПХ в соответствии с рисунком 11 будем изменять напряжение на входе элемента, на который подан уровень нуля от $U_{\text{вх}} = U^0$ до $U_{\text{вх}} = U^1$.

Когда $U_{\text{вх}} = U^0$, то МЭТ в насыщении и напряжение на базе транзистора VT_1 определится следующим образом

$$U_{\delta}(VT_1) = U^0 + U_{\text{кэн}}(\text{МЭТ}) \approx 0,2 + 0,2 \approx 0,4 \text{ В}. \quad (2)$$

Это напряжение меньше, чем $U_{\text{пор.от}}(VT_1) \approx 0,5 \text{ В}$ – пороговое напряжение открывания транзистора VT_1 . Поэтому транзистор VT_1 будет закрыт, его токи коллектора и эмиттера близки к нулю. Падение напряжения на резисторе R_3 не будет, транзистор VT_3 не будет иметь смещения и тоже будет закрыт. Напряжение на коллекторе транзистора VT_1 будет равно

$$U_{\kappa}(VT_1) = U_{\delta}(VT_2) = E_n - I_{\kappa 0}(VT_1)R_2 \approx E_n, \quad (3)$$

где E_n – напряжение питания схемы, $I_{\kappa 0}(VT_1)$ – обратный ток коллекторного перехода транзистора VT_1 .

Транзистор VT_2 и диод VD_1 открыты и на выходе схемы снимается напряжение, соответствующее высокому уровню логической единицы:

$$U^1 = U_{\delta}(VT_2) - U_{\text{бэ.от}}(VT_2) - U_{\text{д.от}}(VD_1) \approx E_n - 2U_{\text{бэ.от}}. \quad (4)$$

При напряжении питания элементов ТТЛ равном +5 В и падении напряжения на открытом переходе база-эмиттер равном 0,7 В, напряжение на выходе схемы, соответствующее логической единице, будет примерно 3,6 В.

В соответствии с формулой (2), при увеличении напряжения на входе элемента, напряжение на базе транзистора VT_1 будет также увеличиваться. Но пока $U_{\delta}(VT_1) < U_{\text{пор.от}}(VT_1)$, состояние схемы не меняется (участок 1 на АПХ (рисунок 11)).

Когда напряжение на входе элемента достигает необходимого промежуточного значения $U_{\text{вх}} = U_{\text{пр}}$, напряжение на базе транзистора VT_1 станет равно пороговому напряжению открывания, транзистор VT_1 открывается и переходит в активный режим

работы. С дальнейшим ростом входного напряжения напряжение на базе транзистора V_{T1} также увеличивается (формула (2)). Ток коллектора V_{T1} и его ток эмиттера также будут увеличиваться. Но до тех пор, пока будет выполняться неравенство

$$U_{\delta}(V_{T3})=I_{\delta}(V_{T1})\cdot R_3 < U_{\text{пор.от}}(V_{T3}), \quad (5)$$

транзистор V_{T3} будет оставаться закрытым.

Напряжение на коллекторе транзистора V_{T1} , равное

$$U_{\kappa}(V_{T1})=E_n - I_{\kappa}(V_{T1})\cdot R_2, \quad (6)$$

уменьшается.

Открытый транзистор V_{T2} работает как эмиттерный повторитель, передавая изменения напряжения на коллекторе V_{T1} на выход схемы (участок 2 АПХ).

В цепи эмиттера транзистора V_{T1} установлен резистор R_3 , за счет которого образуется отрицательная обратная связь по току. Коэффициент усиления по напряжению каскада, реализованного на транзисторе V_{T1} , не велик и определяется следующим образом

$$K_u(V_{T1}) \approx R_2/R_3. \quad (7)$$

Поэтому изменения напряжения на коллекторе V_{T1} и, соответственно, на выходе будет тоже мало (участок 2 АПХ). Этот участок АПХ называют пологим.

Таким образом, при увеличении входного напряжения одновременно увеличивается напряжение на базе транзисторов V_{T1} и V_{T3} . При достижении входным напряжением порогового $U_{\text{пор}}^0$, напряжение $U_{\delta}(V_{T3})$, определяемое (5), становится равным пороговому напряжению открывания ($U_{\text{пор.от}}(V_{T3})$). И при дальнейшем увеличении входного напряжения, то есть при $U_{\text{вх}} > U_{\text{пор}}^0$, транзистор V_{T3} открывается. Напряжение на эмиттере транзистора V_{T1} фиксируется на уровне $U_{\text{бэ.от}}(V_{T3})$ и отрицательная обратная связь, возникающая на резисторе R_3 , отключается. Коэффициент усиления по напряжению каскада на V_{T1} за счет этого резко увеличивается. Соответственно резко увеличивается скорость изменения напряжения на коллекторе V_{T1} и на выходе элемента (участок 3 АПХ). Напряжение на выходе элемента станет равным уровню нуля $U_{\text{вых}} = U^0 = U_{\text{кэн}}$ (участок 4 на АПХ).

Для повышения помехоустойчивости, нагрузочной способности и быстродействия в сериях ТТЛ разработаны различные модификации, в том числе, элементы с улучшенной АПХ, в которых стараются уменьшить участок 2.

3.2. Входная характеристика элемента ТТЛ

Входная характеристика элемента ТТЛ показывает зависимость входного тока одного из входов элемента от изменения напряжения на этом входе $I_{\text{вх}} = f(U_{\text{вх}})$ при

условии, что на остальные входы поданы значения пассивного логического уровня и нагрузка на выходе постоянна (для элемента И-НЕ пассивный уровень соответствует логической единице).

Из принципа работы элемента ТТЛ следует, что в режиме логической единицы на входе входной ток элемента равен току обратно смещенного эмиттерного перехода МЭТ. Этот ток втекает в элемент, поэтому его принято считать положительным. В режиме логического нуля на входе входной ток равен току прямо смещенного эмиттерного перехода и определяется сопротивлением резистора R_1 (рисунок 10), входным напряжением и напряжением питания. Этот ток вытекает из элемента и он считается отрицательным. Таким образом, входная характеристика элемента ТТЛ, представленная на рисунке 12 совместно с АПХ, находится в первом и четвертом квадрантах.

При напряжении на входе $U_{вх} < U_{пр}$ соответствующий переход база-эмиттер МЭТ открыт и он по данному входу находится в режиме насыщения, а транзистор VT_1 (рисунок 10) закрыт. Его ток базы близок к нулю и входной ток определяется следующим образом:

$$I_{вх} = I_{R_1} = \frac{E_n - U_{бэ.от}(МЭТ) - U_{вх}}{R_1} . \quad (8)$$

Формула (8) определяет зависимость входного тока элемента от входного напряжения на участке 1 входной характеристики.

Когда входное напряжение станет равно $U_{вх} = U_{пр}$, транзистор VT_1 (рисунок 10) откроется и часть тока, протекающего через резистор R_1 , начнет ответвляться в цепь базы транзистора VT_1 :

$$I_{R_1} = I_{вх} + I_{б}(VT_1) \approx I_{вх} , \quad (9)$$

так как $I_{б}(VT_1)$ достаточно мал. Поэтому участок 2 входной характеристики фактически является продолжением участка 1.

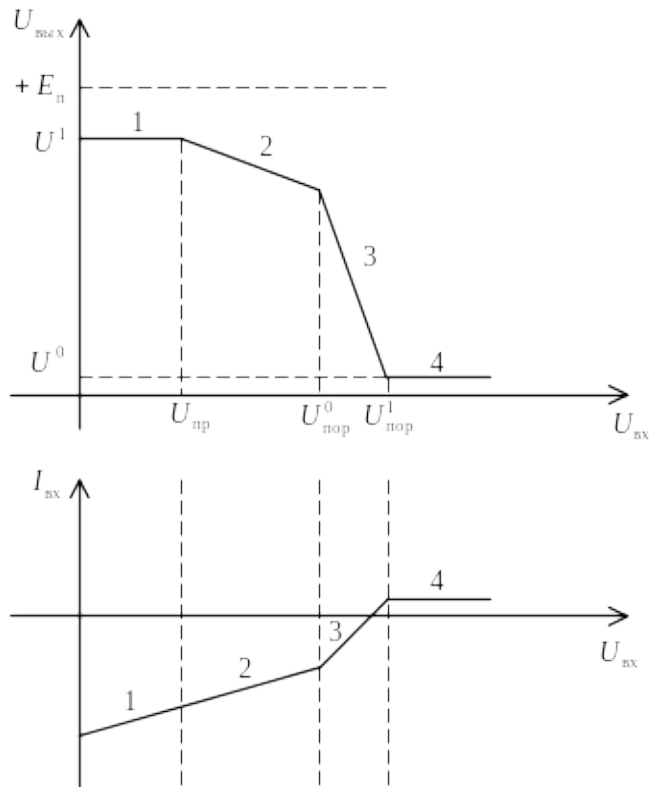


Рисунок 12 - Амплитудная и входная характеристики элемента ТТЛ

При достижении входным напряжением значения $U_{вх} = U_{пор}^0$ открывается транзистор VT_3 (рисунок 10) и напряжение на базе МЭТ зафиксировано примерно на уровне 2 В. Поэтому дальнейшее увеличение входного напряжения приводит к постепенному закрыванию перехода база-эмиттер МЭТ и ток I_{R_1} полностью переключается в цепь базы транзистора VT_1 (участок 3 характеристики). Когда напряжение на входе станет равным $U_{вх} = U_{пор}^1$, переход база-эмиттер МЭТ полностью закроется, МЭТ перейдет в инверсный режим работы (участок 4 входной характеристики) и входной ток будет равен току обратного смещенного перехода база-эмиттер МЭТ.

3.3. Выходная характеристика элемента ТТЛ

Выходная характеристика отражает изменение выходного напряжения элемента от тока, протекающего в цепи нагрузки $U_{вых} = f(I_{вых})$ при неизменной комбинации входных логических переменных. Так как элемент ТТЛ может устойчиво формировать на выходе два установившихся напряжения логического нуля и единицы, различают две его выходные характеристики, соответственно для состояния единицы на выходе и состояния нуля. Отличаются эти характеристики направлением протекания тока, что можно пояснить, используя эквивалентные схемы выходного каскада элемента ТТЛ для состояния единицы и нуля на выходе.

Эквивалентная схема выходного каскада элемента для состояния единицы на выходе представлена на рисунке 13.

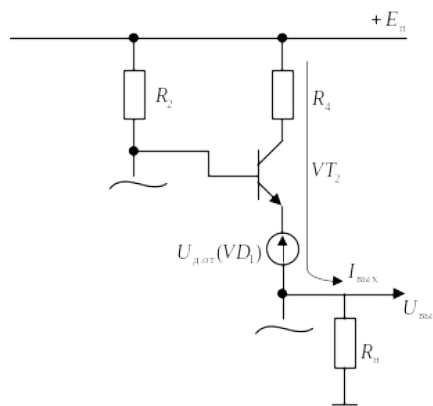


Рисунок 13 - Эквивалентная схема выходного каскада элемента ТТЛ в состоянии единицы

В состоянии единицы на выходе ток вытекает из элемента, поэтому в этом случае выходной ток отрицательный.

В режиме логического нуля на выходе эквивалентная схема элемента показана на рисунке 14.

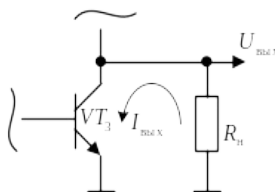


Рисунок 14 - Эквивалентная схема выходного каскада элемента ТТЛ в состоянии нуля

Как видно, в состоянии логического нуля выходной ток втекает в элемент, поэтому его считают положительным. В этом случае выходная характеристика для состояния логической единицы находится во втором квадранте, а для состояния нуля – в первом квадранте (рисунок 15).

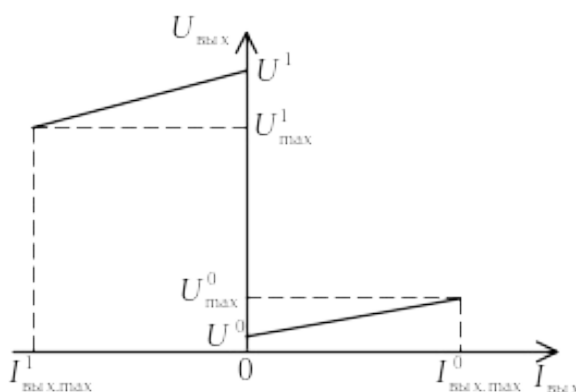


Рисунок 15 - Выходные характеристики элемента ТТЛ

Аналитически приведенные выходные характеристики описываются следующими выражениями:

$$U_{\text{ВЫХ}}^1 = E_n - I_{\text{ВЫХ}} \cdot R_4 - U_{\text{КЭ}}(VT_2) - U_{\text{д.от}}(VD_1), \quad (10)$$

$$U_{\text{вых}}^0 = U_{\text{кэ}}(VT_3) = I_{\text{вых}} \cdot r_{\text{нас}}(VT_3), \quad (11)$$

где $U_{\text{кэ}}(VT_2)$ – напряжение между коллектором и эмиттером транзистора VT_2 , $U_{\text{д.от}}(VD_1)$ – падение напряжения на прямо смещенном диоде VD_1 , $r_{\text{нас}}(VT_3)$ – эквивалентное сопротивление транзистора VT_3 в состоянии насыщения.

Из приведенных соотношений следует, что увеличение выходного тока приводит к уменьшению выходного напряжения элемента, соответствующего уровню логической единицы и к увеличению напряжения, соответствующего логическому нулю. Поэтому, имея выходные характеристики, и, зная $U_{\text{мин}}^1$ и $U_{\text{макс}}^0$, всегда можно найти токи $I_{\text{вых.макс}}^1$ и $I_{\text{вых.макс}}^0$. По найденным токам для данного элемента можно рассчитать коэффициенты разветвления по выходу для состояния логического нуля и единицы. Выходные характеристики позволяют также рассчитать выходные сопротивления элемента для состояния логического нуля и единицы на выходе.

4. Порядок выполнения работы

Для экспериментального определения статических характеристик элемента ТТЛ используется лабораторный макет, описанный с комплектом источников питания типа Б5-44, Б5-49 и цифрового вольтметра В7-16.

1. Определение АПХ элемента ТТЛ

Для определения АПХ выбрать один из логических элементов лабораторного макета и реализовать схему измерений, показанную на рисунке 16.

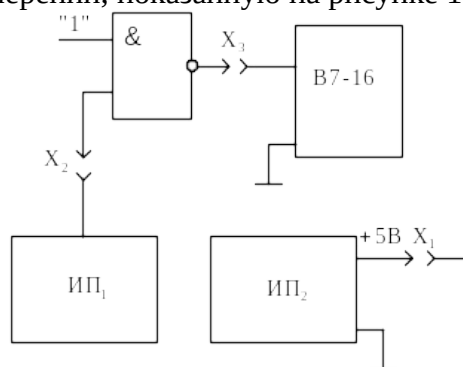


Рисунок 16 - Схема измерений для экспериментального определения АПХ

От источника $ИП_2$ подать питание +5 В на макет, для чего с соблюдением полярности подключить выход источника Б5-49 к разъему X_1 макета (плюсовой вывод соединительного кабеля – красный, синий – общий).

Подключить источник питания Б5-44 ко входу выбранного элемента (разъем X_2). Выход выбранного элемента через разъем «Выход 1» подключить к вольтметру В7-16.

Изменяя напряжение источника $ИП_1$ (Б5-44) от 0,1 до 2,4 В с шагом 0,1 В, измерять напряжение на выходе элемента для каждого значения входного напряжения. Данные измерений занести в таблицу и построить график АПХ. Сопоставить полученный экспериментальный график АПХ с теоретическим.

2. Определение входной характеристики элемента ТТЛ

Для определения входной характеристики выбранного логического элемента реализовать схему измерений, приведенную на рисунке 17.

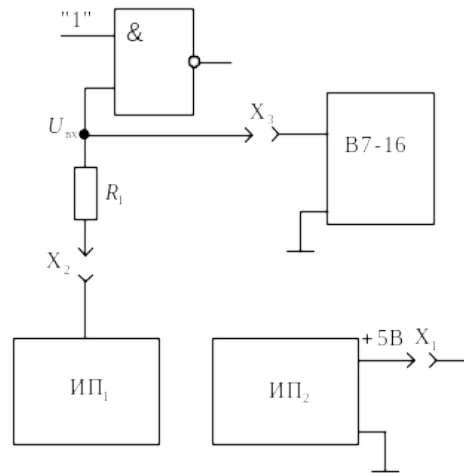


Рисунок 17 - Схема измерений для определения входной характеристики элемента ТТЛ

Изменяя напряжение на выходе источника ИП₁ как и в предыдущем пункте, измерять для каждого значения поданного напряжения напряжение $U_{вх}$ на входе элемента с помощью вольтметра В7-16. Данные свести в таблицу и для каждого входного

напряжения по формуле
$$I_{вх} = \frac{U_{ИП1} - U_{вх}}{R_1}$$
 рассчитать значение входного тока. Номинал резистора R_1 задается преподавателем. По полученным результатам построить график входной характеристики $I_{вх} = f(U_{вх})$ и результаты объяснить.

5. Содержание отчета

1. Функциональная схема исследуемых устройств.
2. Экспериментальные результаты исследования устройств.
3. Выводы по каждому пункту задания.

6. Контрольные вопросы

1. АПХ элемента ТТЛ со сложным инвертором.
2. Входная характеристика элемента ТТЛ.
3. Выходная характеристика элемента ТТЛ в состоянии единицы на выходе.
4. Выходная характеристика элемента ТТЛ в состоянии нуля на выходе.

Лабораторная работа № 5 «Исследование работы триггеров»

1. Цель работы:

1. Ознакомиться с назначением и принципом действия триггеров
2. Ознакомиться с практическими схемами RS, D и JK триггеров и исследовать их.

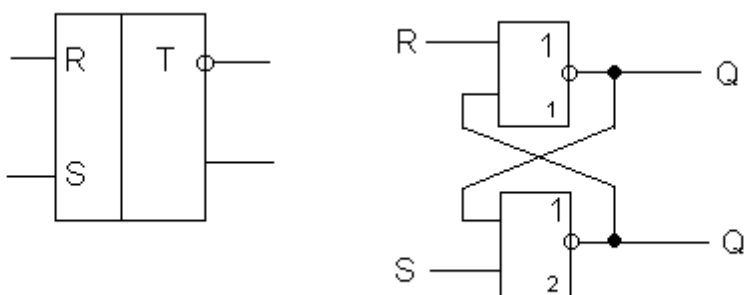
2. **Содержание работы:** Исследование триггеров в статическом режиме.

3. Краткие теоретические сведения

Триггер – это логическая схема с положительной обратной связью, имеющая два устойчивых состояния, которые называются единичным и нулевым и обозначаются 1 и 0. Перевод триггера в единичное состояние производится путем воздействия на его вход и называется установкой (set) триггера. Устанавливающий сигнал и вход, на который он воздействует обозначают S. Перевод триггера в нулевое состояние называют сбросом (reset), а соответствующий вход и сигнал обозначают R.

Схема простейшего триггера получается, если включить кольцом два элемента ИЛИ – НЕ. Такой триггер имеет два входа R и S, два выхода Q и \bar{Q} и называется RS триггером. Его обозначение на функциональных схемах показано на рисунке 34.

Рисунок 34 - RS триггер на элементах ИЛИ – НЕ



Пока на обоих управляющих входах R и S уровни сигналов не активны, в данном случае равны 0, триггер находится в одном из двух устойчивых состояний. Если значение сигналов на выходе Q равно 1, то, как видно из схемы, этот единичный сигнал, поступая по цепи обратной связи на вход элемента 2, вызывает появление на выходе Q сигнала с нулевым уровнем. В свою очередь нулевой уровень выхода Q, поступая на вход элемента 1, поддерживает Q в состоянии 1. Иначе говоря, при входных сигналах R и S, равных 0, появившаяся по любой причине на выходе Q единица по цепи обратной связи будет сама себя поддерживать сколь угодно долго. Когда на прямом выходе Q сигнал равен 1, говорят, что триггер находится в состоянии 1 или что он установлен.

В силу симметрии схемы она будет столь же устойчива в своем противоположном – нулевом состоянии, когда уровень на выходе Q равен 0, а уровень на инверсном выходе \bar{Q} равен 1. В этом случае говорят, что триггер сброшен или погашен. Когда оба управляющих сигнала R и S неактивны, режим называют режимом хранения.

После окончания входного сигнала триггер способен сохранять свое новое состояние также сколь угодно долго. Говорят, что триггер запоминает входной сигнал. Это специфическое и очень важное свойство триггера, отличающее его от всех ранее рассмотренных схем, не имевших обратных связей: после исчезновения входного сигнала выходной сигнал в тех схемах также исчезал.

Характерно, что оба элемента триггера переключаются не одновременно, а последовательно, друг за другом. Если построить временную диаграмму работы триггера, то из нее видно, что существуют моменты времени, когда на прямом Q и на инверсном \bar{Q} выходах триггера уровни одинаковы. В то же время алгоритмы работы управляемых триггерами схем и соответственно сами эти схемы строят исходя из установившихся значений сигналов на выходах триггера, когда оба они взаимно инверсны. Поэтому управляемая триггером схема, получив на вход непредусмотренную комбинацию сигналов, сформирует на своем выходе нечто совершенно не предусмотренное

алгоритмом ее работы. В дальнейшем будут рассмотрены меры, которые разработчик должен принять, чтобы возникающая при переключении триггера инверсная комбинация его выходов не приводила к сбою.

По временной диаграмме можно оценить время задержки распространения $t_{зд.р.}$ триггера как отрезок времени, по прошествии которого на обоих выходах триггера устанавливаются правильные уровни: $t_{зд.р.} = 2t$. Можно оценить и минимально допустимую длительность R – и S – сигналов, ниже которой обратная связь триггера еще не успеет замкнуться и в результате выходы триггера вернуться в исходное состояние. Это значение лежит в пределах $(2..3) t$. Для более точной оценки необходимо знать допуски на пороги срабатывания и длительности фронтов элементов. Для триггеров, выпускаемых в виде схем средней степени интеграции, значения $t_{зд.р.}$ и минимальной длительности входных сигналов указывают в паспорте.

Если на RS – триггер подать одновременно оба единичных сигнала, то на обоих выходах Q и \bar{Q} появятся нули. Если теперь одновременно снять единицы со входов R и S , то оба элемента начнут переключаться в единичное состояние, каждый стремясь при этом оставить своего партнера в нуле. Какой элемент одержит в этом поединке победу, будет зависеть от их коэффициентов усиления, скоростей переходных процессов и ряда других неизвестных заранее факторов. Для разработчика схемы результирующее состояние триггера оказывается неопределяемым. Поэтому комбинация $R = S = 1$ считается запрещенной, и в обычных условиях ее не используют. В некоторых справочниках эту комбинацию даже называют неустойчивой, хотя пока она держится на входах, схема вполне устойчива. Комбинацию входов $R = S = 1$ допустимо применять лишь когда обеспечено не одновременное, а строго поочередное снятие R – и S – сигналов.

От схем без обратных связей RS – триггер отличается еще и тем, что его выходы одновременно являются и его входами. Действительно, если на линию связи, подключенную к выходу Q триггера, находящегося в нулевом состоянии, подействует короткая единичная помеха, она одновременно подействует и на вход второго элемента триггера, что может вызвать его переключение, а это приведет к переключению всего триггера, как от обычного входного сигнала. Свойство триггера запоминать помехи, превращая их из мимолетных в постоянно действующие, в большинстве применений крайне нежелательно. Поэтому если триггер работает на линию, в которой возможны помехи, то ее подключают через буферные элементы. Для повышения быстродействия эти элементы часто тоже соединяют по схеме триггера.

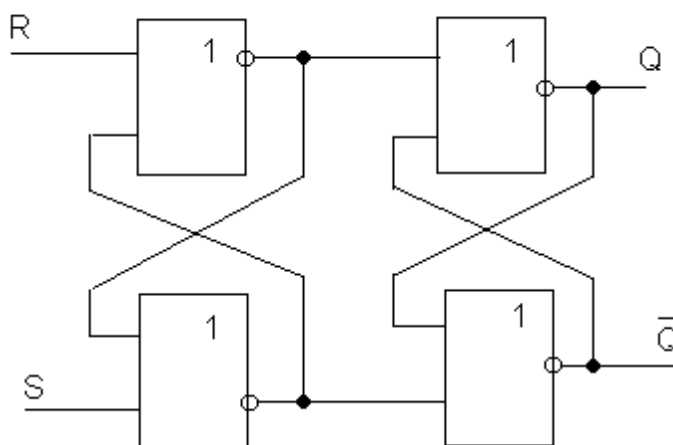


Рисунок 35 - RS – триггер на элементах ИЛИ-НЕ

Поскольку на выходах буферного триггера T2 постоянно присутствует или R– или S – сигнал, этот триггер уже не сможет запомнить помехи и после ее окончания сразу вернется в правильное состояние.

Основное назначение триггеров в цифровых схемах – хранить выработанные логическими схемами результаты. Для отсека еще не установившихся, искаженных переходными процессами результатов, можно включить конъюнктор типа элемента С на рисунке 36.

Это решение оказалось очень эффективным, быстро стало типовым и побудило изготовителей триггеров ввести конъюнктор, управляемый синхросигналом, в состав триггера. Так как эта схема требует инверсного управления, чаще стала использоваться схема на основе элементов И – НЕ (рисунок 37).

Так появились синхронные триггеры, которые переключаются в состояние, предписываемое управляющими входами, лишь по сигналу синхронизации, подаваемому на синхровход с триггера. Синхросигнал называется также синхроимпульсом, С – сигналом, С – импульсом, а синхровход – С – входом. При неактивном уровне С – сигнала синхронный триггер находится в режиме хранения и не реагирует ни на какие управляющие сигналы. Развитие идеи синхронного триггера привело к появлению разнообразных и довольно сложных триггерных устройств, в которых кроме собственно RS – триггера присутствует логическая схема обработки входных сигналов, а часто еще и один – два вспомогательных триггера.

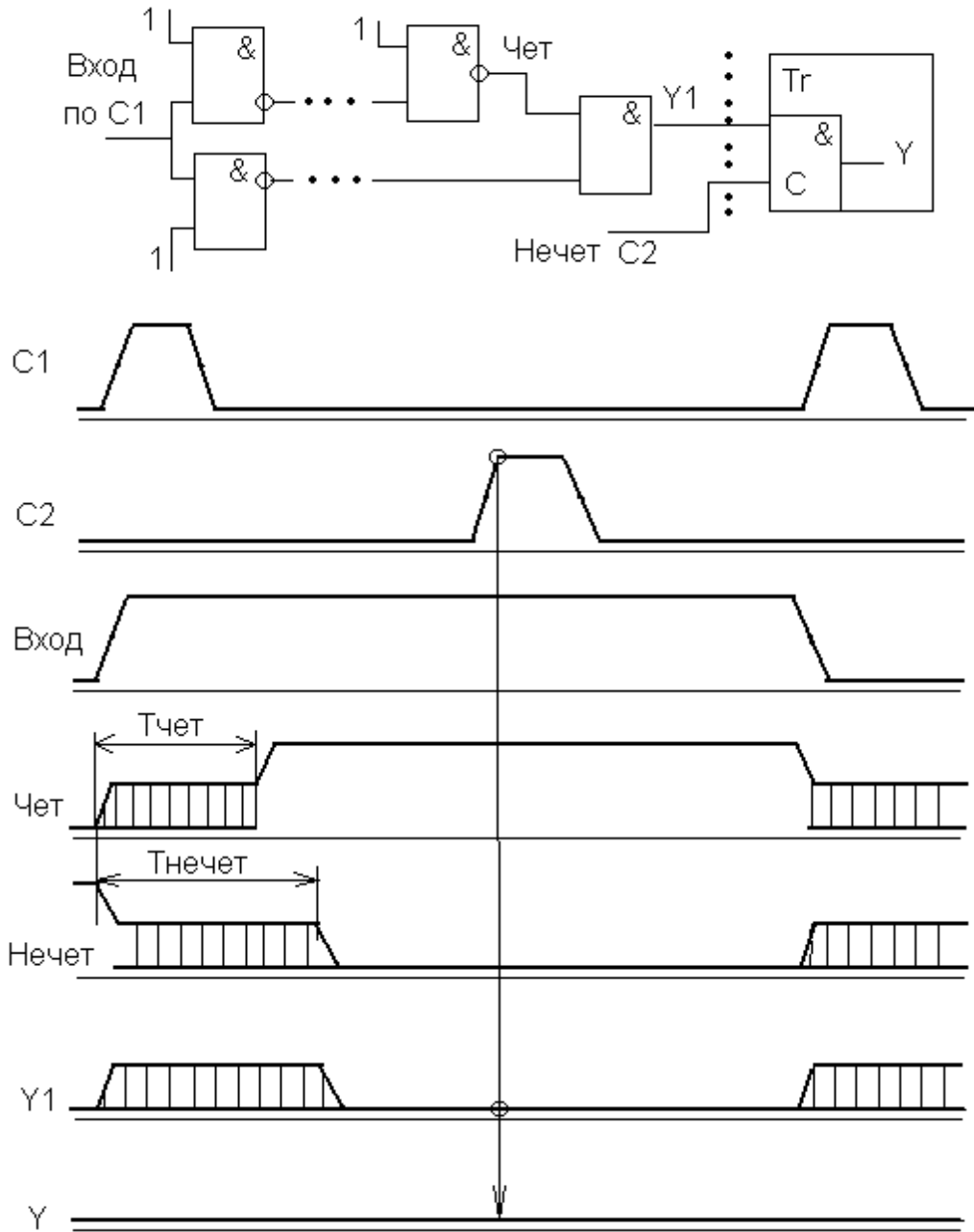
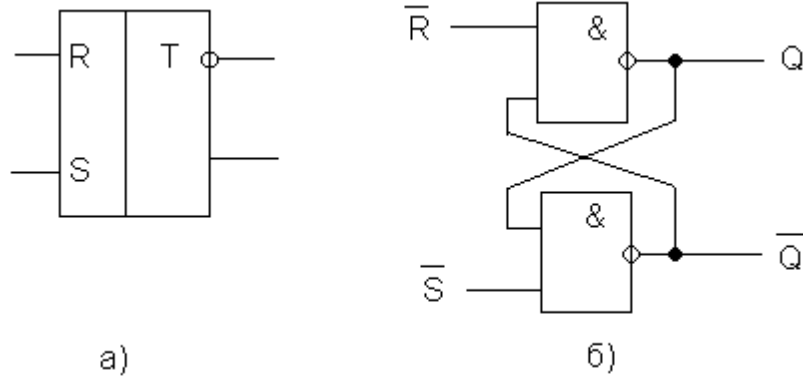


Рисунок 36 - Исключение помех, порожденных гонками, за счет тактирования

Такие устройства по традиции продолжают именовать триггерами, добавляя перед словом триггер различные буквы, обозначающие принцип функционирования всего устройства.

D-триггером называют синхронный триггер, имеющий два входа: вход данных D и вход синхронизации C. D – триггер переключается только по сигналу на C – входе и при том в состояние, предписываемое D – входом. В некотором смысле он задерживает прохождение поступающего по D – входу уровня до появления C – сигнала, откуда и произошло название D – триггера (delay - задержка). Другое назначение D – триггера – сохранять данные (data), поступившие однажды по D – входу. C – сигналы в этом случае играют роль команды ЗАПИСЬ В ТРИГГЕР. RS – триггеры в своем чистом виде для хранения данных непригодны и в этой роли не используются, поскольку для записи они



требуют двух последовательных сигналов: гашения по R – входу и затем собственно записи по S – входу. Условное обозначение D – триггера показано на рисунке 38.

Рисунок 37 - Условное обозначение (а) и функциональная схема (б) RS – триггера на элементах И –НЕ

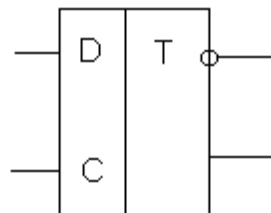


Рисунок 38 - Условное обозначение D – триггера типа «прозрачная защелка»

На рисунке 39 показан универсальный способ построения D – триггера из синхронного RS – триггера: с помощью инвертора 1 однофазный вход данных D превращается в парафазный и подается на S – и R – входы.

Особенности поведения прозрачной защелки иллюстрирует диаграмма на рисунке 40.

Изменения D – входа при C = 0 (моменты t1, t2, t7) никак не влияют на состояние выхода Q: триггер заперт по C – входу и находится в режиме хранения. Фронт C – сигнала (момент t3) которое было к этому моменту на входе триггера D. При C = 1 защелка прозрачна: любое изменение на D – входе (t4 и t5) вызывает переключение выхода Q . По срезу синхросигнала (момент t6) D – триггер – защелка фиксирует на выходе то состояние, которое было на D – входе непосредственно перед этим моментом. Следующее изменение Q будет возможно только по фронту следующего синхроимпульса (момент t8). Если на C– вход подать постоянный единичный уровень, то свойство запоминания

защелки проявляться никак не будет, и она будет выполнять функции обычного буферного усилителя мощности в такте передачи данных.

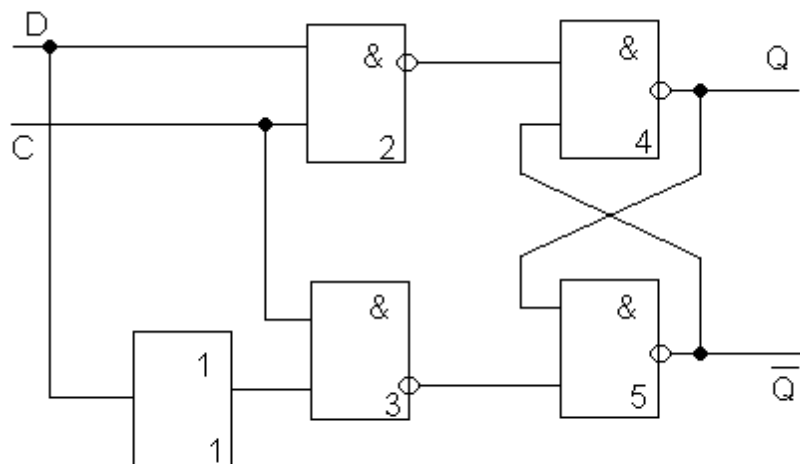


Рисунок 39 - Универсальный способ построения D – триггера из синхронного RS – триггера

Существуют D – триггеры, в которых параллельно C – сигналу на входные вентили заведен еще один разрешающий сигнал – V – сигнал (от V – клапан), как показано штриховой линией на рисунке 41.

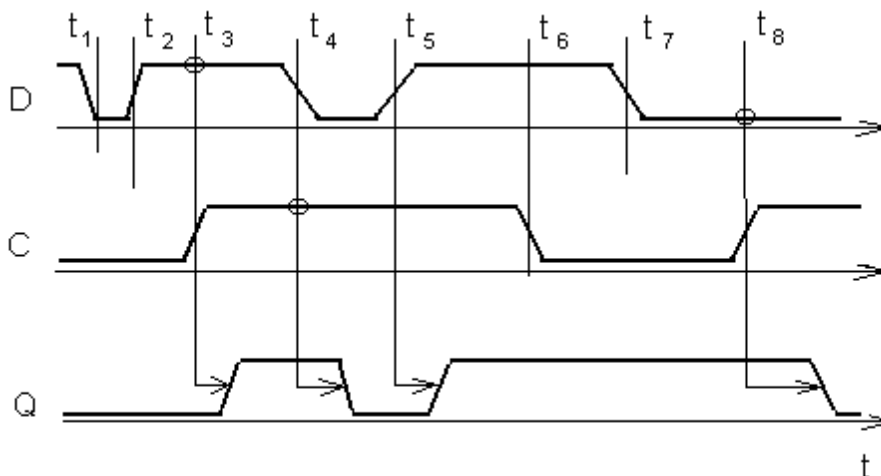


Рисунок 40 - Пример временной диаграммы работы D – триггера – защелки.

Такие триггеры называют DV – триггерами. Разрешением на прием D – уровня является конъюнкция сигналов на C – и V – входах.

Чтобы процесс фиксации состояния D – входа прошел без сбоев, т. е. был бы однозначно предсказуем, переходной процесс в схеме защелки, вызванный срезом C – сигнала, не должен накладываться на переходной процесс, вызванный переключением D – входа. Это значит, что всякие изменения состояния D – входа должны прекратиться за некоторое время до среза C – сигнала, называемое временем подготовки (setup time) $t_{пд}$, и могут снова начинаться после среза C – сигнала не ранее чем через время выдержки (удержания)(hold time) $t_{вд}$. Эти временные отрезки показаны на рисунке 42.

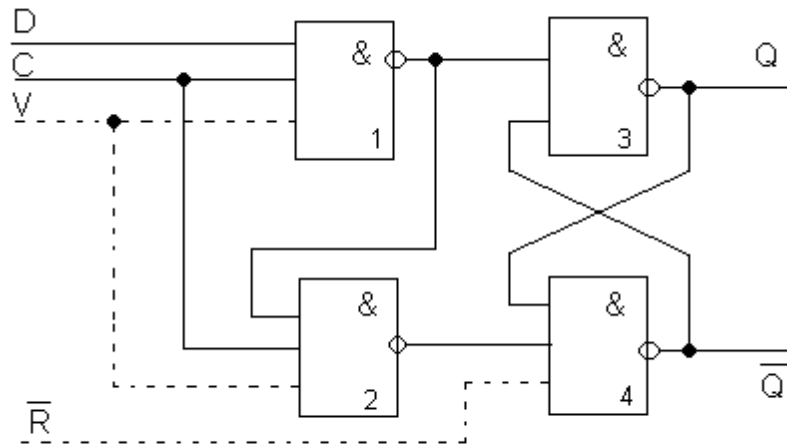


Рис. 41 - Вариант схемы «прозрачной защелки»

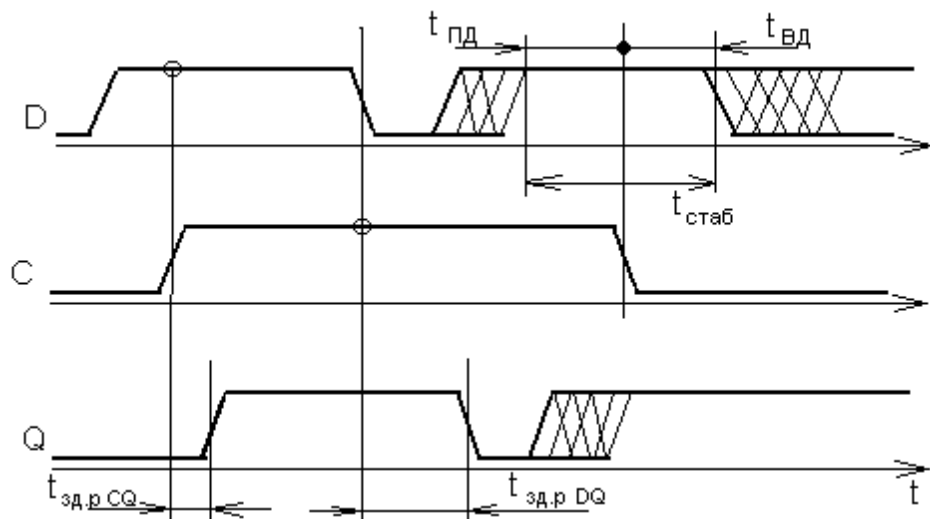


Рисунок 42 - Основные временные характеристики

В зависимости от конкретных значений порогов переключения и длительностей фронтов их можно оценить как $t_{пл} = (1...2)t$, $t_{вд} = (0...1)t$.

Таким образом, временными параметрами D – триггеров – защелок являются: времена задержки распространения по трактам вход C – выходы и вход D – выходы; время подготовки по D – входу; минимальная длительность C – импульса; время выдержки по D – входу; минимальная длительность C – импульса; время задержки по D – входу; для схем, в которых возможны гонки по входу – еще максимальная длительность фиксирующего среза C – сигнала.

На рисунке 43 показана схема, состоящая из двух последовательно включенных синхронных RS – триггеров, первый из которых называется ведущим или М – триггером (от master – хозяин), а второй – ведомым или S – триггером (от slave - раб). Благодаря общему синхросигналу С вся схема функционирует как единое целое и называется двухступенчатым или MS – триггером (master – slave flip – flop). Из временной диаграммы (рисунок 44).

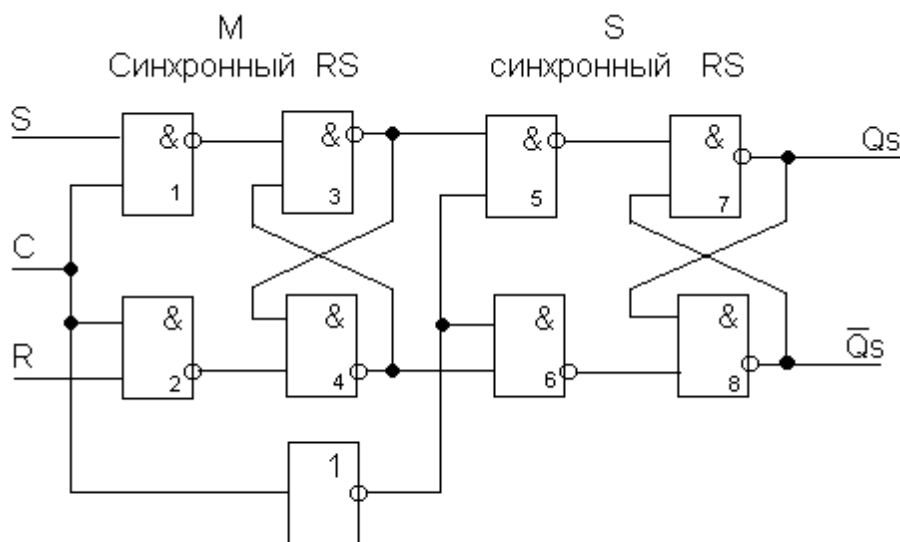


Рисунок 43 - Двухступенчатый RS – триггер

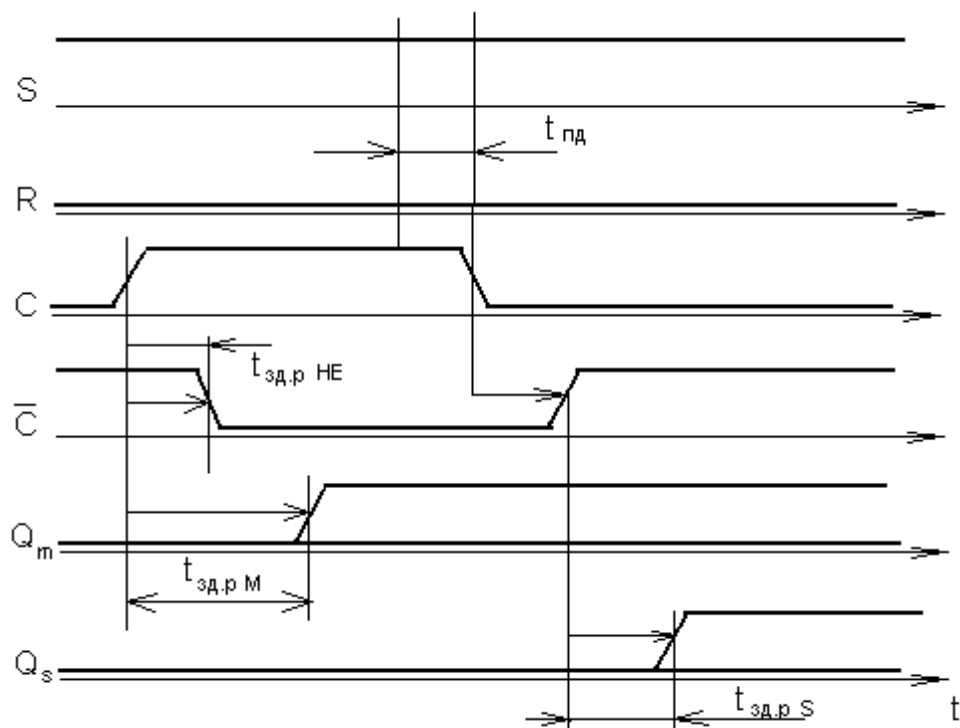


Рисунок 44 - Временная диаграмма работы двухступенчатого RS – триггера

Видно, что информация, задаваемая уровнями на входах S и R, по фронту С – сигнала принимается в М – триггер, но в течение всего времени, пока С – сигнал равен 1,

не проходит в S – триггер, поскольку его входные конъюнкторы 5 и 6 в это время _перекрыты инверсией C – сигнала, сигналом C. Они откроются лишь при C=1, т. е. на срезе C – сигнала, и только тогда S – триггер примет состояние M – триггера. Сказанное иллюстрирует очень важное отличие MS – триггера от триггера – защелки: MS – триггер, собранный по MS – схеме, непрозрачен по управляющим R – и S – выходам ни при C=0, ни при C=1. Каждая ступень его сама по себе прозрачна, но включены ступени последовательно, и какая-нибудь из них всегда оказывается запертой – или синхросигналом, или его отсутствием. Таким образом, в этом MS – триггере при C=1 (и тем более при C=0) никакое изменение на управляющем входе не может само по себе, без переключения C – сигнала, проникнуть на выход. Триггер может изменить состояние выхода только по срезу с – сигнала.

Свойство непрозрачности MS – триггера использовано для построения инверсного и широко применяемого JK – триггера, схема которого показана на рисунке 45.

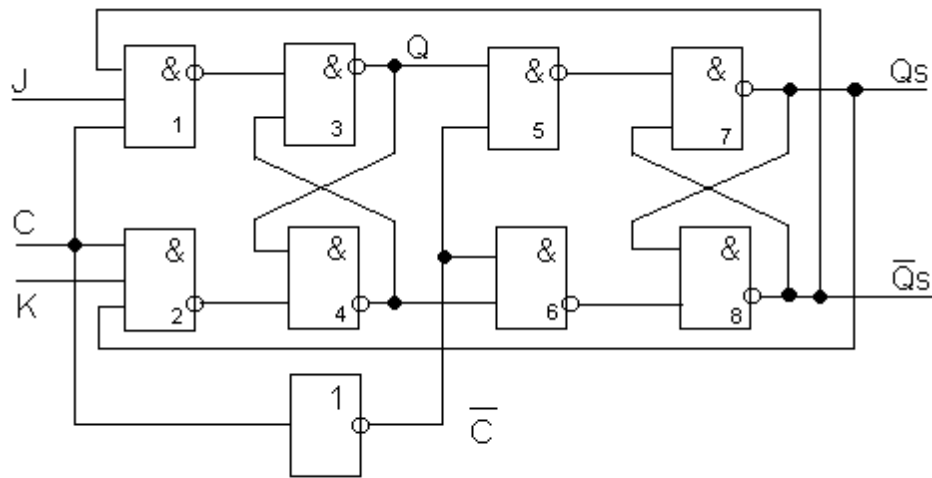


Рисунок 45 - Двухступенчатый JK – триггер с инвертором в цепи синхронизации

JK – триггер – это непрозрачный триггер, выходы которого петлями инвертирующих обратных связей (накрест) заведены на входные конъюнкторы 1 и 2. Внешние выходы самого триггера при этом принято уже называть не S и R, а J и K.

При J = K = 0 C – сигнал не может открыть входные элементы 1 и 2, и триггер находится в режиме хранения. При J = 1, K = 0 синхросигналом может быть открыт лишь элемент 1 и только при условии, что перед поступлением C – сигнала на выходе триггера был 0 (Q = 0, Q = 1). Тогда по срезу синхросигнала триггер переключится в 1. Если же до синхросигнала был в 1, то он так и останется в 1. Таким образом, J – вход выполняет функции синхронизированного S – входа. В силу симметрии схемы легко показать, что K – вход выполняет функции синхронизированного R – входа, переводя триггер в 0. Таким образом, при разноименных уровнях на J – и K – входах JK – триггер ведет себя как синхронный непрозрачный RS – триггер.

Существенно отличным от RS – триггера является поведение JK – триггера при J = K = 1. Для RS – триггера такое состояние входов запрещено. Диаграмма работы JK – триггера в этом режиме показана на рисунке 46.

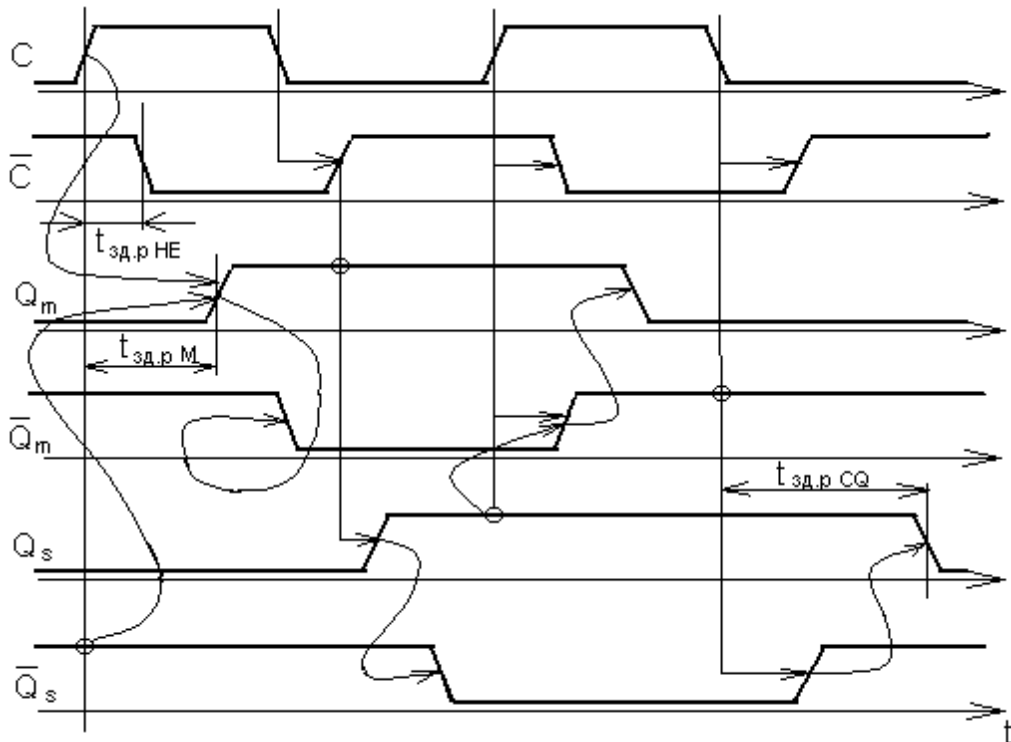


Рисунок 46 - Временная диаграмма работы двухступенчатого JK – триггера при $J = K = 1$

При любом состоянии триггера сигналы обратной связи открывают для C – сигнала именно тот входной конъюнктор, пройдя через который, C – сигнал переведет триггер в противоположное состояние. Таким образом, при $J = K = 1$ по срезу каждого сигнала JK – триггер меняет состояние своих выходов на противоположное. Это так называемый счетный режим, или T- режим работы триггера (от toggle - кувыркатся).

Временными параметрами JK – триггера, да и вообще любого непрозрачного триггера являются: задержка распространения от синхровхода до выхода (или до каждого из выходов); времена подготовки и выдержки по управляющим, в данном случае по J – и K – входам; минимально допустимая длительность C – сигнала; минимально допустимый период следования C – сигналов; для схем, в которых возможны гонки по C – входу, еще и максимально допустимая длительность фронтов C – сигнала.

Непрозрачные триггеры кроме штатных входов – синхровхода C и управляющих входов D, J, K часто дополняют независимыми от них R – и S – входами. При этом схема строится так, что R – и S – входы имеют приоритет в своем воздействии на триггер по отношению к штатным входам, т. е. R – или S – входы устанавливают диктуемое ими состояние триггера независимо от сигналов, поступающих в это время на штатные входы, в том числе и на вход C . Поэтому такие R – и S – входы называют асинхронными. По окончании асинхронного сигнала установленное им состояние сохраняется вплоть до очередного активного фронта C – сигнала. По этому фронту триггер срабатывает уже в соответствии с этим с этим установленным состоянием и с действующими в данный момент уровнями на штатных управляющих входах. Существенно, что асинхронными входами, т. е. входами, результат действия которых не зависит от уровня C – сигнала, можно снабдить лишь непрозрачные триггеры. Прозрачная защелка, например, не сможет сохранить установленное R - входом состояние, если R – сигнал окончился во время действия C – сигнала, поскольку из-за прозрачности не ее выходе тут же установится уровень D – входа.

Прозрачность – свойство триггера при активном уровне С – сигнала адекватно в соответствии с его типом (например, RS) отслеживать на выходе все переключения управляющих входов; если это D – триггер, то просто повторять состояния D – входа. Можно сказать, что прозрачный триггер при активном С – уровне ведет себя как асинхронный. Встречающиеся в некоторых источниках термины «триггер, переключаемый уровнем» или «триггер со статическим входом» при их правильном употреблении эквивалентны термину «прозрачный триггер».

Прозрачность в таком понимании может быть лишь свойством триггера, переключаемого передним фронтом С – сигнала, ибо если триггер переключается только на заднем фронте, то для проявления свойства прозрачности у него в силу определения просто не останется времени.

Непрозрачность – свойство триггера даже при активном уровне С – сигнала не передавать на выход изменений управляющих входов, происшедших вскоре после переключающего фронта С – сигнала, вплоть до поступления очередного переключающего фронта. Если переключающий фронт – задний, то сразу после него уровень С – сигнала становится пассивным. Этого уже достаточно, чтобы никакие изменения управляющих уровней, происшедшие вскоре после переключающего фронта, не проникли на выход триггера. Поэтому, чтобы триггер имел статус непрозрачного, от него требуется, чтобы после окончания изменений на входе установившиеся состояния управляющих уровней не попали на выход даже тогда, когда синхросигнал снова станет активным, вплоть до поступления его заднего, т. е. переключающего фронта.

1. Лабораторные задания

Собрать и исследовать схемы синхронных RS, D, и JK триггеров, выбор конкретных реализаций схем триггеров производится самими обучаемыми.

Отчет по лабораторной работе включает в себя:

1. принципиальные электрические схемы исследованных триггеров;
2. временные диаграммы работы триггеров

Таблица 3 - Варианты заданий

1	RS – триггер на элементах ИЛИ – НЕ (рис.1)
2	RS – триггер на элементах И – НЕ (рис.4)
3	D – триггер, полученный из универсального RS – триггера (рис.6)
4	Вариант D – триггера приведенный на рис.8
5	DV – триггер (рис.8)
6	Двухступенчатый RS – триггер (рис.10)
7	Шестиэлементный непрозрачный D – триггер

1. Содержание отчета

1. Краткие теоретические сведения необходимые для выполнения лабораторной работы и ответы на контрольные вопросы.

2. Результаты схемных решений с описанием их работы и особенностей, полученных в процессе выполнения домашнего задания и лабораторной работы.
3. Диаграммы проведенных измерений входных и выходных сигналов триггеров и счетчика.

2. Контрольные вопросы

1. Составить таблицы переходов D,DV,и T-триггеров.
2. Чем отличаются синхронный и асинхронный режим работы триггера.
3. Может ли D-триггер работать в асинхронном режиме. Если да, то что для этого надо сделать.
4. Что следует изменить в схеме S-триггера, чтобы получить тактируемый D-триггер.
5. В чем различие между триггером управляемым уровнем сигнала и триггером с внутренней задержкой.
6. Объясните причину использования двухтактных схем триггера.
7. Составьте схему MS-двухтактного триггера. Объясните процесс прохождения информационного сигнала на выход
8. Постройте D-триггер по заданной таблице переходов.
9. Как построить T и D-триггеры на основе JK-триггера.
10. Как построить T-триггер на основе D-триггера.
11. Составьте схему асинхронного DV-триггера. Преобразуйте его для синхронного режима работы.

Лабораторная работа № 6 «Исследование работы счетчиков»

1. Цель работы:

1. Ознакомиться с назначением и принципом действия счетчиков.
2. Ознакомиться с практической схемой двоичного реверсивного счетчика и исследовать его.

2. Содержание работы:

Исследование двоичного счетчика в статическом и динамическом режимах.

3. Краткие теоретические сведения

Счетчиком называют устройство, сигналы на выходе, которого в определенном коде отображают число импульсов, поступивших на счетный вход. T – триггер является примером простейшего счетчика, считающего до двух. Счетчик, образованный цепочкой из m триггеров может подсчитать в двоичном коде $K_{сч} = 2^m$ импульсов. Каждый из этих триггеров называется разрядом счетчика. Число $K_{сч}$, равное числу различных состояний на выходах триггеров счетчика, называется модулем счета. Число входных импульсов и состояние счетчика взаимно определены только для первого цикла, так как после того как число входных импульсов превысит $K_{сч}$, счетчик возвращается в нулевое состояние и повторяется цикл работы.

Цифровые счетчики классифицируются следующим образом:

по модулю счета:

двоичные,

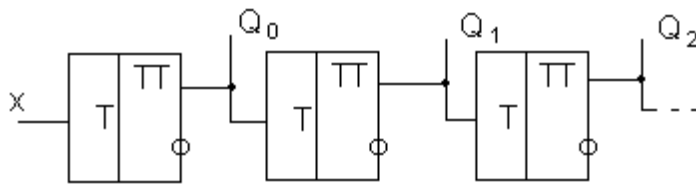
двоично-десятичные,

с произвольным модулем счета;

по направлению счета:
 суммирующие,
 вычитающие,
 реверсивные;
 по способу организации внутренних связей:
 с последовательным переносом,
 с параллельным переносом,
 с комбинированным переносом,
 кольцевые.

Классификационные признаки независимы и могут встречаться в различных сочетаниях.

При построении суммирующего счетчика с последовательным переносом на Т – триггерах необходимо соединить прямой выход последующего триггера со входом



последующего триггера.

Рисунок 47 - Суммирующий счетчик с последовательным переносом

При построении вычитающего счетчика с последовательным переносом, необходимо соединить инверсный выход предыдущего со входом последующего триггера:

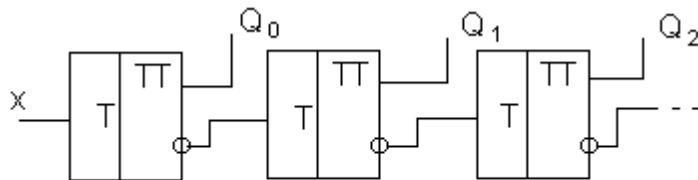


Рисунок 48 - Вычитающий счетчик с последовательным переносом

Такие триггера называют последовательными (или счетчиками с последовательным переносом), так как в них каждый триггер переключается выходным сигналом предыдущего триггера. Временные состязания сигналов в таких счетчиках отсутствуют, поскольку триггеры переключаются поочередно, один за другим. Последовательные счетчики отличаются простотой схемы, но обладают низким быстродействием.

Максимальное время установления последовательных счетчиков наблюдается при переходах, сопровождающихся переключением всех разрядов (например, от 1111 к 0000 в суммирующем счетчике). Это время пропорционально числу разрядов счетчика и времени переключения триггеров.

Параллельные счетчики (синхронные с параллельным переносом) имеют максимальное быстродействие, поскольку в них все разряды переключаются одновременно.

Параллельный счетчик содержит разрядные триггеры с конъюнкторами, анализирующими состояния предыдущих разрядов. При поступлении входного сигнала переключаются только те триггеры, для которых все предыдущие были в единичном состоянии, что и требуется.

Время установления счетчика не зависит от разрядности и равно

$$t_k = t_{з,к} + t_{тг},$$

где $t_{з,к}$ – задержка сигнала конъюнктором.

Трудности реализации многоразрядных параллельных счетчиков связаны с ростом числа входов у конъюнкторов (или числа входов J и K в триггерах) по мере увеличения разрядности счетчика. Второй ограничивающий фактор – рост нагрузки на выходы триггеров по мере увеличения числа разрядов счетчика. Применение различных схем буферного типа для преодоления указанных ограничений обычно нежелательно, так как снижает быстродействие счетчика.

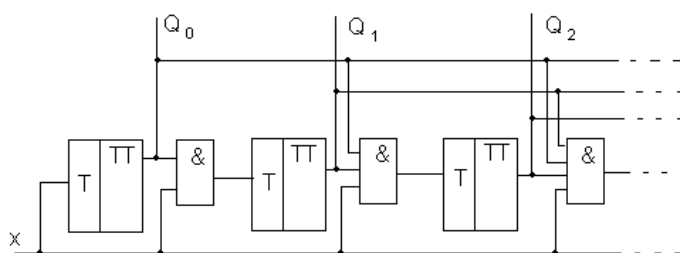


Рисунок 49 - Схема параллельного счетчика

В параллельных счетчиках все разряды переключаются одновременно, поэтому их структуре свойственны временные состязания сигналов. При использовании двухступенчатых триггеров состязания исключаются.

Реверсивные счетчики изменяют направление счета под воздействием управляющего сигнала или при смене точки подачи считаемых сигналов. В первом случае схема имеет счетный и управляющий входы, во втором – два счетных входа.

Наиболее распространенный способ построения реверсивных счетчиков – переключение межразрядных связей. На рисунке 47 и 48 видно, что счетчики прямого и обратного счета различаются лишь точкой съема сигнала, подаваемого с предыдущего разряда на последующий. Если управляющий сигнал перестраивает межразрядные связи, перенося точку съема сигнала с одного выхода триггера на другой, то реализуется схема реверсивного счетчика.

Последовательный счетчик преобразуется в реверсивный путем введения в его структуру элементов реверса. В связи с появлением дополнительных задержек введение реверса снижает быстродействие счетчика.

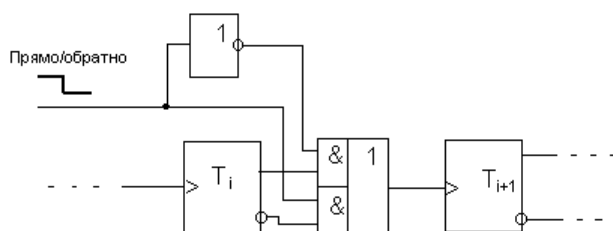


Рисунок 50 - Схема реверсивного счетчика

1. Отчет по лабораторной работе включает в себя:

1. принципиальную электрическую схему исследованного счетчика;
2. временные диаграммы работы счетчика.

2. Варианты заданий

1. Асинхронный RS-триггер на элементах И-НЕ (Рисунок 51);

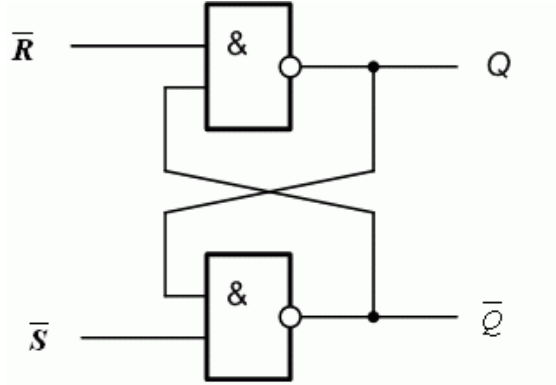


Рисунок 51 - Асинхронный RS-триггер на элементах И-НЕ

2. Асинхронный RS-триггер на элементах или-не (Рисунок 52);

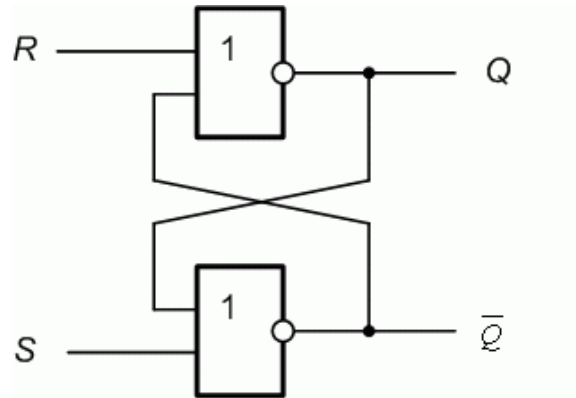
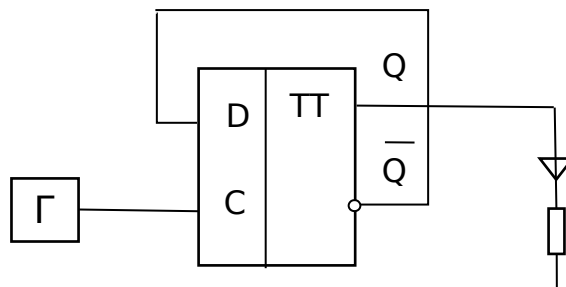


Рисунок 52 - Асинхронный RS-триггер на элементах или-не



3. Исследовать работу D-триггера в счетном режиме (Рисунок 53);

Рисунок 53 - D-триггер

4. Двоичный асинхронный счетчик на D-триггерах (Рисунок 54);

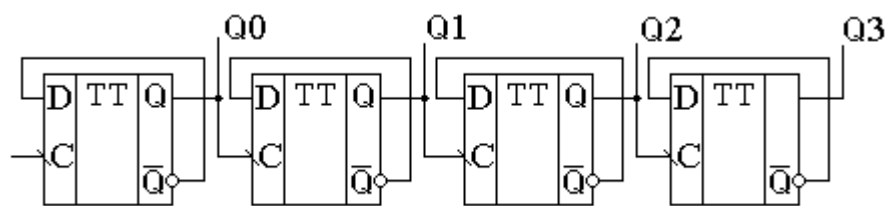


Рисунок 54 - Двоичный асинхронный счетчик на D-триггерах

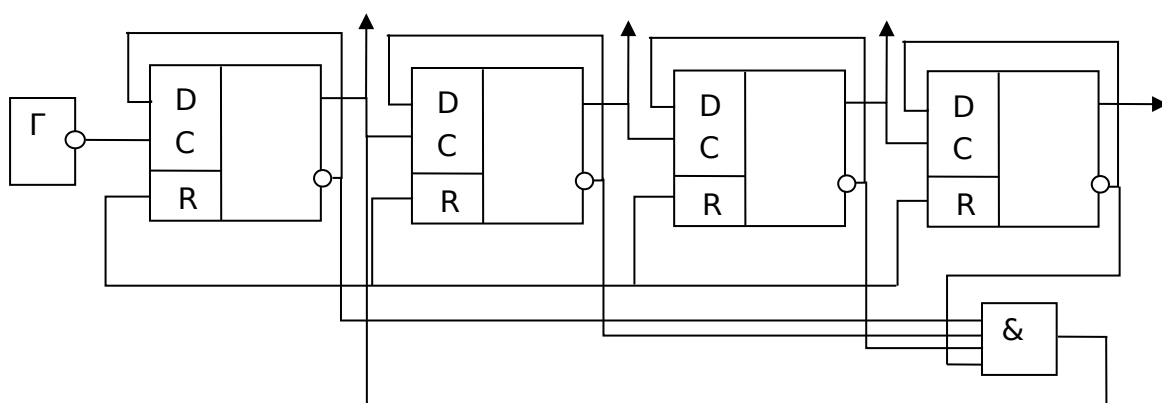


Рисунок 55 - Двоичный десятичный счетчик